



PATENT

Docket No. JCLA11007

page 1

IN THE UNITED STATE PATENT AND TRADEMARK OFFICE

In re application of : SHELTON LU et al.

Application No. : 10/692,589

Filed : October 24, 2003

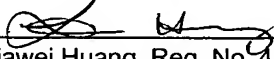
Certificate of Mailing

I hereby certify that this correspondence and all marked attachments are being deposited with the United States Postal Service as certified first class mail in an envelope addressed to: Commissioner for Patents, P.O.BOX 1450, Alexandria VA 22313-1450, on

February 24, 2004

(Date)

For HYBRID INTEGRATED CIRCUIT
: PACKAGE SUBSTRATE


Jiawei Huang, Reg. No. 43,330

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Transmitted herewith is a certified copy of **Taiwan** Application No. **92210917** filed on **June 16, 2003**.

A return prepaid postcard is also included herewith.

It is believed no fee is due. However, the Commissioner is authorized to charge any fees required, including any fees for additional extension of time, or credit overpayment to Deposit Account No. 50-0710 (Order No. JCLA11007).

Date: 2/24/2004

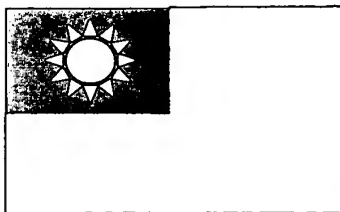
By: 
Jiawei Huang
Registration No. 43,330

Please send future correspondence to:

J. C. Patents
4 Venture, Suite 250
Irvine, California 92618
Tel: (949) 660-0761

10/692,589

SCA 11007



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 06 月 16 日
Application Date

申請案號：092210917
Application No.

申請人：威盛電子股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 11 月 12 日
Issue Date

發文字號：09221144340
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

新型專利說明書

一、 新型名稱	中 文	複合式晶片構裝基板
	英 文	Hybrid IC package substrate
二、 創作人 (共2人)	姓 名 (中文)	1. 呂學忠
	姓 名 (英文)	1. Shelton Lu
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 台北縣新店市中正路533號8樓
	住居所 (英 文)	1. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 威盛電子股份有限公司
	名稱或 姓 名 (英文)	1. VIA Technologies, Inc.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 台北縣新店市中正路533號8樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R.O.C.
	代表人 (中文)	1. 王雪紅
	代表人 (英文)	1. Hsiueh-Hong WANG



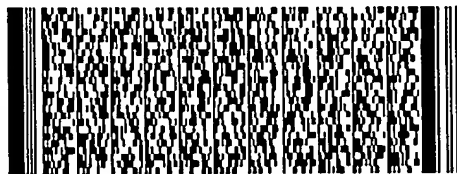
11007twf.pld

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

新型專利說明書

一、 新型名稱	中 文	
	英 文	
二、 創作人 (共2人)	姓 名 (中 文)	2. 張文遠
	姓 名 (英 文)	2. Kenny Chang
	國 籍 (中 英 文)	2. 中華民國 TW
	住 居 所 (中 文)	2. 台北縣新店市中正路533號8樓
	住 居 所 (英 文)	2. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R. O. C.
三、 申請人 (共1人)	名稱或 姓 名 (中 文)	
	名稱或 姓 名 (英 文)	
	國 籍 (中 英 文)	
	住 居 所 (營 業 所) (中 文)	
	住 居 所 (營 業 所) (英 文)	
	代 表 人 (中 文)	
	代 表 人 (英 文)	



11007twf.ptd

四、中文創作摘要 (創作名稱：複合式晶片構裝基板)

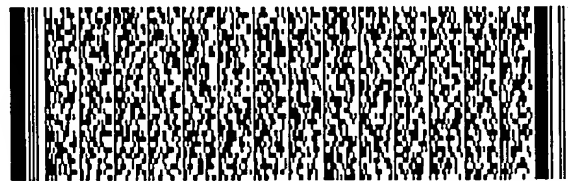
一種複合式晶片構裝基板，至少包括多個圖案化導線層，依序相互重疊，其中這些圖案化導線層之最外層者分別具有多個接合墊。此外，多個介電層係配置於任二相鄰之這些圖案化導線層之間，其中這些介電層之至少一係為一陶瓷介電層，而其餘之介電層之至少一係為一有機介電層。另外，多個導電孔道分別穿過這些介電層之一，而電性連接至少二圖案化導線層。其中，陶瓷介電層可提高晶片構裝基板之線路密度以及縮小圖案化導線層之繞線長度，以符合高密度線路以及高接點數之要求。

伍、(一)、本案代表圖為：第 4 圖

(二)、本案代表圖之元件代表符號簡單說明：

英文創作摘要 (創作名稱：Hybrid IC package substrate)

A hybrid IC package substrate includes a plurality of patterned conductive layers laminated each other, and the outer side of these patterned conductive layers has a plurality of bonding pads. In addition, each of a plurality of dielectric layers is disposed between two neighboring patterned conductive layers, wherein at least one dielectric layer is a ceramic dielectric layer and at least one of other dielectric layers is an organic dielectric layer. Moreover, conductive holes are penetrated through one of these



四、中文創作摘要 (創作名稱：複合式晶片構裝基板)

310 : 複合式晶片載板

314 : 第二面

316a、316b : 接合墊

318 : 接點

320 : 晶片

326 : 凸塊

332(c) : 陶瓷介電層

332(a)(b)(d)(e) : 有機介電層

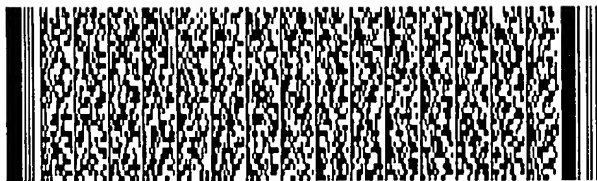
334(a)(b)(c)(d)(e)(f) : 圖案化導線層

336 : 導通孔(導電孔道)

338 : 導電孔(導電孔道)

英文創作摘要 (創作名稱：Hybrid IC package substrate)

dielectric layers to connect at least two patterned conductive layers electrically. With the ceramic layer, the substrate can increase the density of the circuit and shorten the routing path so that the substrate with high circuit layout density and high pin count is achieved.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第一百零五條準用
第二十四條第一項優先權

無

二、☐主張專利法第一百零五條準用第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第九十八條第一項☐第一款但書或☐第二款但書規定之期間

日期：



五、創作說明 (1)

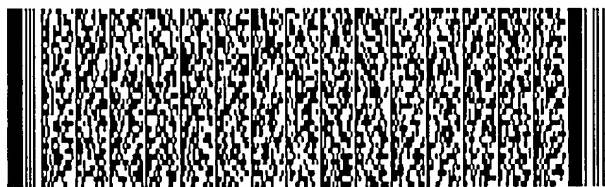
【 新 型 所 屬 之 技 術 領 域 】

本創作是有關於一種晶片構裝結構，且特別是有關於一種複合式晶片載板 (Hybrid IC carrier)。

【 先 前 技 術 】

近年來，隨著電子技術的日新月異，高科技電子產業的相繼問世，使得更人性化、功能更佳的電子產品不斷地推陳出新，並朝向輕、薄、短、小的趨勢設計。目前在半導體製程當中，晶片載板 (IC carrier) 是經常使用的構裝元件之一。其中，晶片載板例如為一基板 (substrate)，其主要由多層圖案化導線層及多層介電層交替疊合所構成，其中介電層配置於任二相鄰之圖案化導線層之間，而圖案化導線層可藉由貫穿介電層之導通孔 (Plating Through Hole, PTH) 或導電孔 (via) 而彼此電性連接。由於晶片載板具有佈線細密、組裝緊湊以及性能良好等優點，係已成為晶片構裝基板 (package substrate) 之主流。

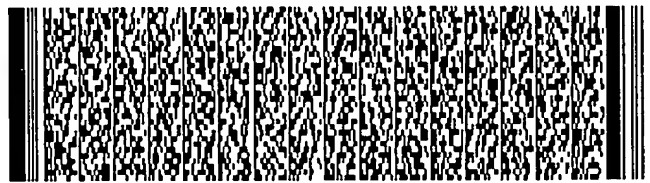
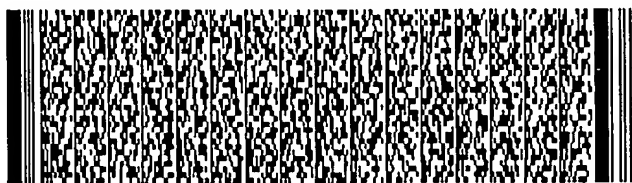
一般而言，目前晶片封裝之製程中，晶片主要係以打線接合 (wire bonding) 或覆晶接合 (flip chip bonding) 的方式與晶片載板電性連接。請參考第1圖，其繪示習知一種覆晶結合型態之晶片構裝結構之剖面示意圖。此晶片構裝結構100具有一晶片載板110以及一晶片120。其中，晶片120配置於晶片載板110之第一面112上，而晶片120藉由多個凸塊126以覆晶接合的方式，與晶片載板110之接合墊116a電性連接。此外，晶片載板110還具有



五、創作說明 (2)

多個接點118，其配置於晶片載板110之第二面114，這些接點118例如為鐳球、針腳或導電凸塊等型態，且接點118藉由晶片載板110之圖案化線路層130而分別電性連接至對應之凸塊126，以做為晶片120對外連接一印刷電路板（未繪示）之接點。另外，晶片載板110依介電材料之不同，而大致可區分為有機介電基板（organic dielectric substrate）與陶瓷介電基板（ceramic dielectric substrate）兩種。兩種基板之製作方法以及電氣特性均不同，因此其用途也有所限制。其中，有機介電基板例如為玻璃環氧基樹脂（FR-4、FR-5）、雙順丁烯二酸醯亞胺（Bismaleimide-Triazine, BT）或者環氧樹脂（epoxy resin）等材料，其利用堆疊壓合法（lamination）及/或積層法（build up）所組成之多層基板，相對於陶瓷介電基板，其製作成本低廉且具有較低的介電常數，一直以來，有機介電基板係為封裝基板或印刷電路板之主流。

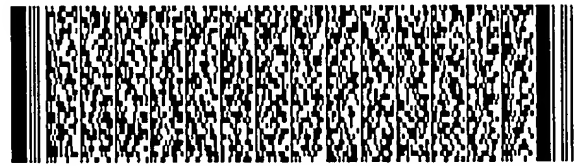
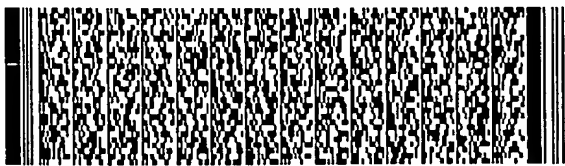
請參考第2圖，其繪示習知一種晶片構裝基板之剖面示意圖。以六層（2-2-2）導線層之有機介電基板210為例，介電層202配置於任二相鄰之圖案化導線層214之間，其中介電層202包括一介電核心層（dielectric core layer）202(c)，而介電核心層202(c)之上表面例如以增層法依序形成二有機介電層202(a)、202(b)，而介電核心層202(c)之下表面亦以增層法依序形成二有機介電層202(d)、202(e)。此外，多個導通孔216貫穿介電核心層202(c)，且導通孔216之兩端電性連接二圖案化導線層



五、創作說明 (3)

214(c)、214(d)。另外，多個導電孔218埋設於介電核心層202(c)以外之有機介電層202(a)、202(b)、202(d)、202(e)中，且電性連接任二相鄰之圖案化導線層214(a)、214(b)、214(c)或214(d)、214(e)、214(f)。再者，最外層之圖案化導線層214(a)、214(f)還分別具有多個接合墊220a、220b，其中接合墊220a用以對應連接晶片之鐳墊（未繪示），而接合墊220b之表面還配置多個接點222，且這些接點222用以對應連接一印刷電路板（未繪示）。

請參考第3圖，其繪示習知另一種晶片構裝基板之剖面示意圖。以六層（1-4-1）導線層之有機介電基板230為例，介電層232配置於任二相鄰之圖案化導線層234之間，其中介電層232包括一介電核心層232(c)，而介電核心層232(c)之上、下表面例如先以堆疊壓合法形成二有機介電層232(b)、232(d)，再以增層法分別形成最外層之二有機介電層232(a)、232(e)。此外，多個導通孔236貫穿介電核心層232(c)及二有機介電層232(b)、232(d)，且導通孔電性連接任二相疊之圖案化導線層234(b)、234(c)、234(d)、234(e)。另外，多個導電孔238埋設於最外層之有機介電層232(a)、232(e)中，且電性連接二相鄰之圖案化導線層232(a)、232(b)或232(e)、232(f)。再者，最外層之圖案化導線層234(a)、234(f)還分別具有多個接合墊240a、240b，其中接合墊240a用以對應連接晶片之鐳墊（未繪示），而接合墊240b之表面還配置多個接點242，而這些接點242用以對應連接一印刷電路板（未繪示）。



五、創作說明 (4)

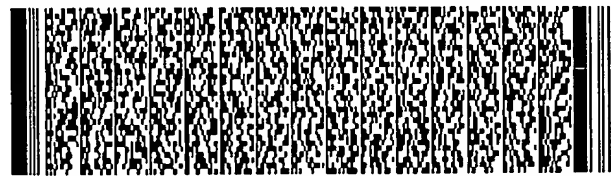
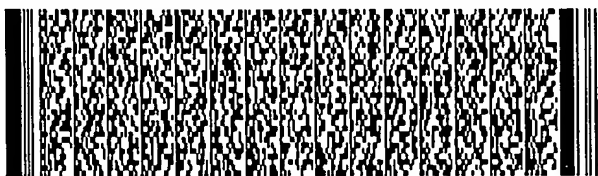
如第1圖所示，值得注意的是，習知晶片載板110係以一定厚度（約800微米）之纖維材料及有機樹脂所構成之介電核心層132，來增加晶片載板110之硬度。但是，以機械鑽孔所形成之導通孔136，受到介電核心層132之材料限制，其孔徑最小約為250微米左右，因而導致位於介電核心層132之兩面的圖案化線路層130、134之線路密度無法相對增加，而相鄰二導通孔136之間的間距也必須大於550微米，使得對應連接之接合墊116a、116b之間的圖案化導線層130、134的繞線長度增加，進而影響基板之訊號傳遞的效能。

因此，在高密度線路以及高接點數之要求下，如何提高晶片構裝基板之線路密度以及縮小圖案化導線層之繞線長度，乃是本創作之重點。

【新型內容】

有鑑於此，本創作之目的就是在提供一種複合式晶片構裝基板，用以提高晶片構裝基板之線路密度以及縮小圖案化導線層之繞線長度。

為達本創作之上述目的，本創作提出一種複合式晶片構裝基板，至少包括多個圖案化導線層，依序相互重疊，其中這些圖案化導線層之最外層者分別具有多個接合墊。此外，多個介電層係配置於任二相鄰之這些圖案化導線層之間，其中這些介電層之至少一係為一陶瓷介電層，而其餘之介電層之至少一係為一有機介電層。另外，多個導電孔道分別穿過這些介電層之一，而電性連接至少二圖案化



五、創作說明 (5)

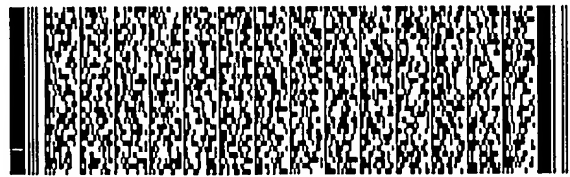
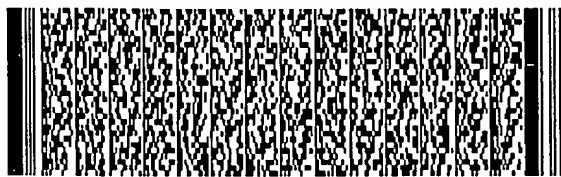
導線層。

為達本創作之上述目的，本創作提出一種晶片構裝結構，至少包括一複合式晶片載板，具有第一面及對應之第二面，此複合式晶片載板具有多個圖案化導線層，依序相互重疊，其中這些圖案化導線層之厚度至少為一微米，且其間之介電層厚度至少為一微米，而電性連接板之多個導電孔道分別穿過這些介電層。此外，複合式晶片載板之第一面，並經由接合墊而電性連接至複合式晶片載板。

依照本創作的較佳實施例所述，上述之介電核心層，且陶瓷介電層係為介電核心層。此外，複合式晶片載板之第一面，並經由接合墊而電性連接至複合式晶片載板。

基於上述，本創作因採用陶瓷介電層與有機介電層之複合式介電結構，使得陶瓷介電層中之導電孔道之孔徑縮小，以提高圖案化導線層之佈線密度。此外，陶瓷介電層中之二導電孔道之間距縮小，以使二圖案化導線層之繞線長度相對縮短，進而提高基板之訊號傳遞的效能。同時，陶瓷介電層相對於有機介電層具有較高之硬度，如此可增加構裝基板的強度。

為讓本創作之上述目的、特徵和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如



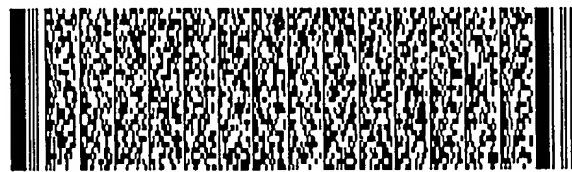
五、創作說明 (6)

下：

【實施方式】

請參照第4圖，其繪示本創作一較佳實施例之一種晶片構裝結構之示意圖。此晶片構裝結構300具有一複合式晶片載板310以及一晶片320。其中，晶片320配置於複合式晶片載板310之第一面312上，而晶片320係以覆晶接合（或導線接合）的方式，而電性連接至複合式晶片載板310之接合墊316a。此外，晶片載板310還具有多個接點318，配置於複合式晶片載板310之第二面314，這些接點318例如為鉚球、針腳或導電凸塊等型態。

如第4圖所示，以六層疊合之複合式晶片構裝基板為例，介電層332配置於任二相鄰之圖案化導線層334之間，其中介電層332之至少一係為陶瓷介電層332(c)，而其餘之介電層332之至少一係為有機介電層332(a)、332(b)、332(d)、332(e)。在較佳情況下，陶瓷介電層332(c)之上表面例如以增層法依序形成二有機介電層332(a)、332(b)，而陶瓷介電層332(c)之下表面亦以增層法依序形成二有機介電層332(d)、332(e)，如此介電層332將呈對稱性地分佈於陶瓷介電層332(c)之兩側。。此外，多個導通孔336（即導電孔道）貫穿陶瓷介電層332(c)，且導通孔336之兩端電性連接二圖案化導線層334(c)、334(d)。另外，多個導電孔338（即導電孔道）埋設於陶瓷介電層332(c)以外之有機介電層332(a)、332(b)、332(d)、332(e)中，且電性連接任二相鄰之圖案化導線層334。再

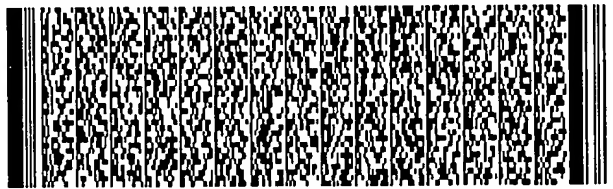
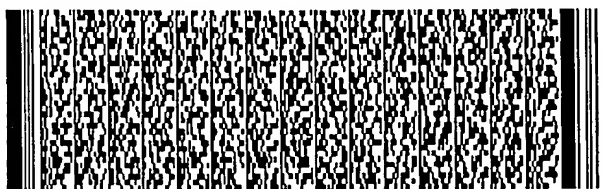


五、創作說明 (7)

者，最外層之圖案化導線層334(a)、334(f)還具有多個接合墊316a、316b，接合墊316a對應連接晶片之凸塊326，而接合墊316b之表面還配置多個接點318，而這些接點318對應連接一印刷電路板。

值得注意的是，陶瓷介電層332(c)之材質例如為陶瓷材料，其利用高溫/低溫共燒技術所構成之介電結構，由於陶瓷介電層332(c)具有極佳的電氣特性、低寄生電感(inductance)以及去耦合電容(decoupling capacitance)等優點，適用於作為高密度線路結構之介電層。因此，如第4圖所示，本實施例係以陶瓷介電層332(c)作為介電核心層，用以提高晶片載板310之硬度，而圖案化導線層334以及有機介電層332(a)、332(b)、332(d)、332(e)可依序疊合於陶瓷介電層332(c)之上表面以及下表面，由於陶瓷介電層332(c)之導電孔道336，其孔徑最小約為95微米左右，因此位於陶瓷介電層332(c)之兩面的圖案化線路層334(c)、334(d)之線路密度將可相對增加。此外，相鄰二導電孔道336之間的間距也可達180微米，故對應連接之接合墊316a、316b之間的圖案化導線層334的繞線長度可相對縮短，以提高複合式晶片載板310之訊號傳遞的效能。

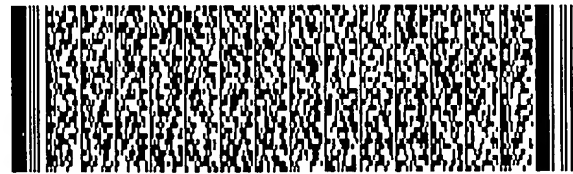
第5圖繪示本創作另一較佳實施例之一種晶片構裝結構的剖面示意圖，以五層疊合之複合式晶片構裝基板410為例，介電層432配置於任二相鄰之圖案化導線層434之間，其中介電層432之至少一係為陶瓷介電層432(a)，而



五、創作說明 (8)

其餘之介電層432之至少一係為有機介電層432(b)、432(c)、432(d)。其中，介電層432係呈非對稱性地分佈於陶瓷介電層432(a)之兩側，且陶瓷介電層432(a)例如遠離最底層之有機介電層432(d)，且接近複合式晶片載板410之第一面412。此外，陶瓷介電層432(a)之上表面例如具有一圖案化導線層434(a)，而此圖案化導線層434(a)具有多個接合墊416a，對應連接晶片420之凸塊426，而陶瓷介電層432(a)之下表面亦以增層法依序形成多層有機介電層432(b)、432(c)、432(d)。此外，多個導通孔436（即導電孔道）貫穿陶瓷介電層432(a)，且導通孔436之兩端電性連接二圖案化導線層434(a)、434(b)。另外，多個導電孔438（即導電孔道）埋設於陶瓷介電層432(a)以外之有機介電層432(b)、432(c)、432(d)中，且電性連接任二相鄰之圖案化導線層434。再者，最底層之圖案化導線層434(e)還具有多個接合墊416b以及對應連接之多個接點418，以構成第5圖之晶片構裝結構400。這些接點418對應連接一印刷電路板（未繪示），其中接點例如為鉚球、針腳或導電凸塊。

由以上說明可知，本創作之複合式晶片構裝基板主要具有多層介電層配置於任二相鄰之圖案化導線層之間，其中介電層之至少一係為陶瓷介電層，而其餘之介電層之至少一係為有機介電層。此外，多個導電孔道（導電孔以及導通孔）分別穿過介電層之一，且電性連接至少二圖案化導線層。其中，陶瓷介電層係可為介電核心層，其導電孔



五、創作說明 (9)

道之孔徑將相對小於習知之有機介電層的孔徑，且陶瓷介電層之導電孔道之間的間距將相對小於習知有機介電層之導通孔的間距。此外，由於陶瓷介電層相對於有機介電層具有極佳的導熱性，因此晶片所產生之熱能可直接藉由陶瓷介電層所提供之散熱面積，來增加複合式晶片載板之散熱效果，以避免過多的熱能集中在晶片中。再者，陶瓷介電層相對於有機介電層具有極佳的耐熱性以及較高之楊氏係數，因此陶瓷介電層可克服有機介電層因高溫所產生之翹曲、變形等現象，且陶瓷介電層之厚度可相對薄化（小於800微米），以縮小複合式晶片載板之整體厚度。

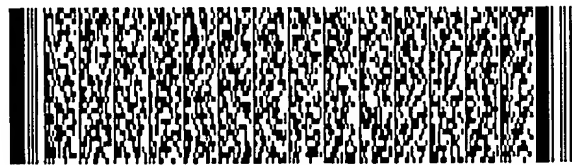
綜上所述，本創作之複合式晶片構裝基板具有下列優點：

(1) 陶瓷介電層相對於習知有機介電層，其導電孔道具有較小的孔徑，因此將可相對增加圖案化線路層之線路密度。

(2) 陶瓷介電層相對於習知有機介電層，其相鄰二導電孔道之間的間距可相對縮小，故對應連接之接合墊之間的圖案化導線層的繞線長度可相對縮短。

(3) 陶瓷介電層相對於有機介電層具有極佳的電氣特性、低寄生電感以及高去耦合電容等優點，適用於高線路密度及高腳數之晶片載板中。

(4) 陶瓷介電層相對於有機介電層具有極佳的耐熱性以及較高之楊氏係數，因此陶瓷介電層可克服有機介電層因高溫所產生之翹曲或變形等現象，且陶瓷介電層之厚



五、創作說明 (10)

度可相對薄化，以縮小複合式晶片載板之整體厚度。

(5) 陶瓷介電層相對於有機介電層具有極佳的導熱性，因此晶片所產生之熱能可直接藉由陶瓷介電層所提供之散熱面積，來增加複合式晶片載板之散熱效果。

雖然本創作已以一較佳實施例揭露如上，然其並非用以限定本創作，任何熟習此技藝者，在不脫離本創作之精神和範圍內，當可作些許之更動與潤飾，因此本創作之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1圖繪示習知一種覆晶結合型態之晶片構裝結構之剖面示意圖。

第2圖繪示習知一種晶片構裝基板之剖面示意圖。

第3圖繪示習知另一種晶片構裝基板之剖面示意圖。

第4圖繪示本創作一較佳實施例之一種晶片構裝結構之示意圖。

第5圖繪示本創作另一較佳實施例之一種晶片構裝結構的剖面示意圖。

【圖式標示說明】

100：晶片構裝結構

110：晶片載板

112：第一面

114：第二面

116a、116b：接合墊

118：接點

120：晶片

126：凸塊

130、134：圖案化導線層

132：介電核心層

136：導通孔

138：導電孔

210：晶片構裝基板

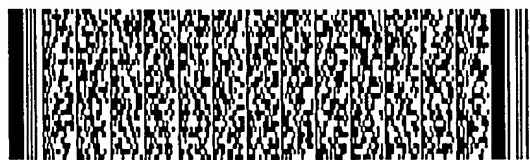
202(a)(b)(c)(d)(e)：有機介電層

214(a)(b)(c)(d)(e)(f)：圖案化導線層



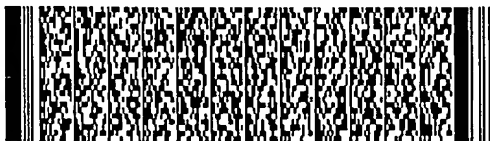
圖式簡單說明

- 216 : 導通孔
- 218 : 導電孔
- 220a、220b : 接合墊
- 222 : 接點
- 230 : 晶片構裝基板
- 232(a)(b)(c)(d)(e) : 有機介電層
- 234(a)(b)(c)(d)(e)(f) : 圖案化導線層
- 236 : 導通孔
- 238 : 導電孔
- 240a、240b : 接合墊
- 242 : 接點
- 300 : 晶片構裝結構
- 310 : 複合式晶片載板
- 312 : 第一面
- 314 : 第二面
- 316a、316b : 接合墊
- 318 : 接點
- 320 : 晶片
- 326 : 凸塊
- 332(c) : 陶瓷介電層
- 332(a)(b)(d)(e) : 有機介電層
- 334(a)(b)(c)(d)(e)(f) : 圖案化導線層
- 336 : 導通孔(導電孔道)
- 338 : 導電孔(導電孔道)



圖式簡單說明

- 400 : 晶片構裝結構
- 410 : 複合式晶片載板
- 412 : 第一面
- 416a、416b : 接合墊
- 418 : 接點
- 420 : 晶片
- 426 : 凸塊
- 432(a) : 陶瓷介電層
- 432(b)(c)(d) : 有機介電層
- 434(a)(b)(c)(d)(e) : 圖案化導線層
- 436 : 導通孔(導電孔道)
- 438 : 導電孔(導電孔道)



六、申請專利範圍

1. 一種複合式晶片構裝基板，至少包括：

複數個圖案化導線層，依序相互重疊，其中該些圖案化導線層之最外層者分別具有複數個接合墊；

複數個介電層，配置於任二相鄰之該些圖案化導線層之間，其中該些介電層之至少一係為一陶瓷介電層，而其餘之該些介電層之至少一係為一有機介電層；以及

複數個導電孔道，分別穿過該些介電層之至少一，而電性連接該些圖案化導線層之至少一。

2. 如申請專利範圍第1項所述之複合式晶片構裝基板，其中該些介電層包括一介電核心層，且該陶瓷介電層係為該介電核心層。

3. 如申請專利範圍第2項所述之複合式晶片構裝基板，其中該些介電層係呈對稱性地分佈於該介電核心層之兩側。

4. 如申請專利範圍第2項所述之複合式晶片構裝基板，其中該些介電層係呈非對稱性地分佈於該介電核心層之兩側。

5. 如申請專利範圍第1項所述之複合式晶片構裝基板，其中僅該陶瓷介電層之一面設置有其餘之該些介電層。

6. 一種晶片構裝結構，至少包括：

一複合式晶片載板，具有一第一面及對應之一第二面，該複合式晶片載板至少包括：

複數個圖案化導線層，依序相互重疊，其中該些圖



六、申請專利範圍

案化導線層之最接近該第一面者具有複數個接合墊；

複數個介電層，配置於任二相鄰之該些圖案化導線層之間，其中該些介電層之至少一係為一陶瓷介電層，且其餘之該些介電層之至少一係為一有機介電層；以及

複數個導電孔道，分別穿過該些介電層之至少一，而電性連接該些圖案化導電層之至少一；以及

一晶片，配置於該複合式晶片載板之該第一面，並經由該些接合墊，而電性連接至該複合式晶片載板。

7. 如申請專利範圍第6項所述之晶片構裝結構，其中該些介電層包括一介電核心層，且該陶瓷介電層係為該介電核心層。

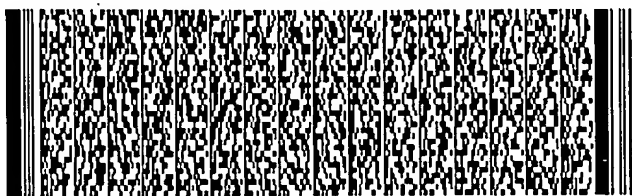
8. 如申請專利範圍第7項所述之晶片構裝結構，其中該些介電層係呈對稱性地分佈於該介電核心層之兩側。

9. 如申請專利範圍第7項所述之晶片構裝結構，其中該些介電層係呈非對稱性地分佈於該介電核心層之兩側。

10. 如申請專利範圍第6項所述之晶片構裝結構，其中僅該陶瓷介電層之一面設置有其餘之該些介電層。

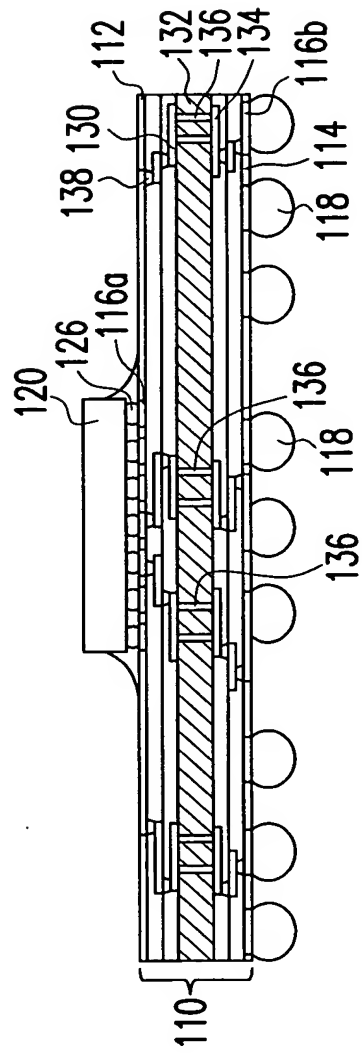
11. 如申請專利範圍第6項所述之晶片構裝結構，其中該晶片係以覆晶接合及導線接合其中之一的的方式，而電性連接至該複合式晶片載板。

12. 如申請專利範圍第6項所述之晶片構裝結構，更包括複數個接點，其配置於該複合式晶片載板之該第二面。



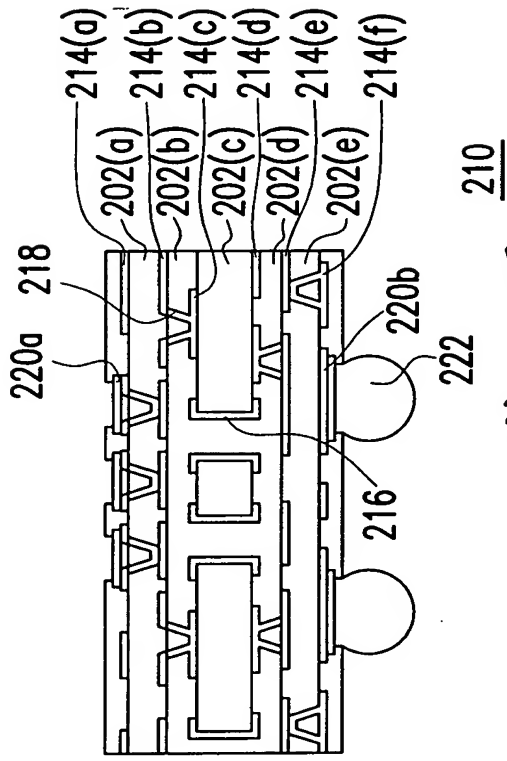


11007TW

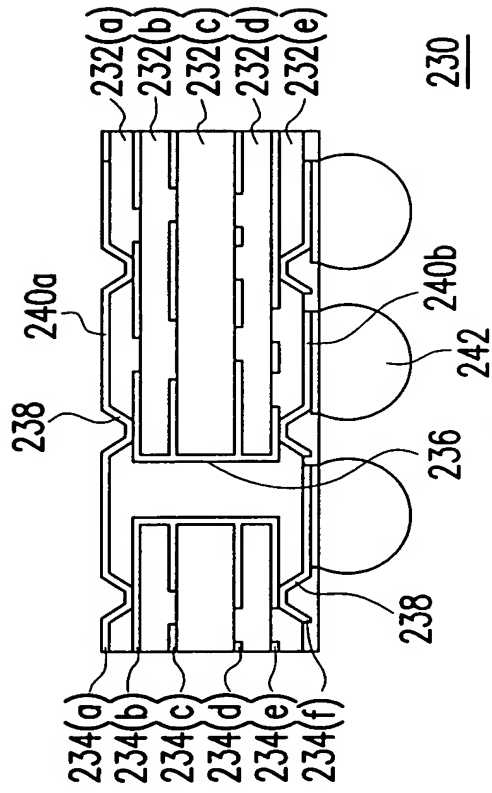


第 1 圖

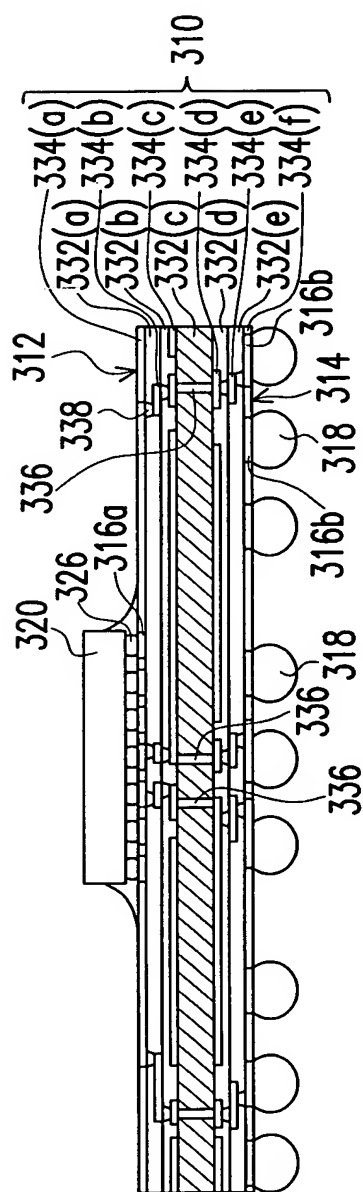
100



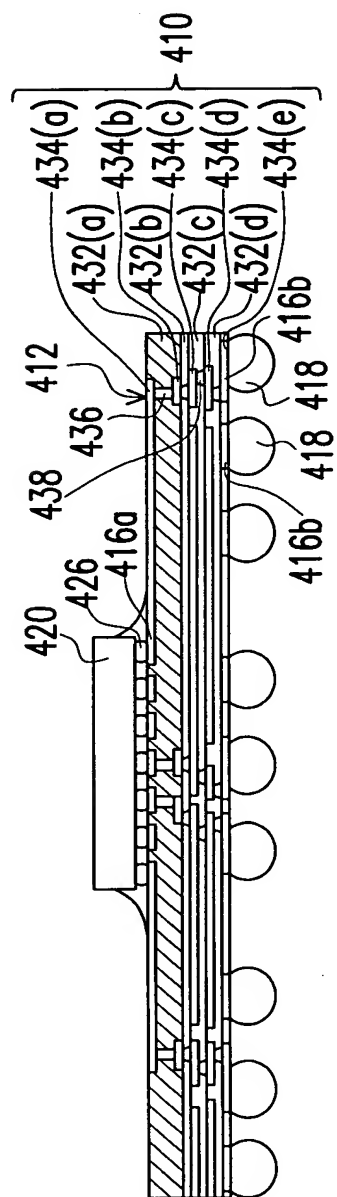
第 2 圖








第 3 圖





第 4 圖

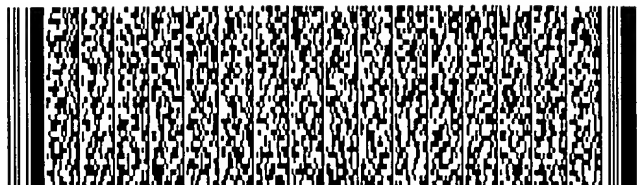


第 5 圖 400



—

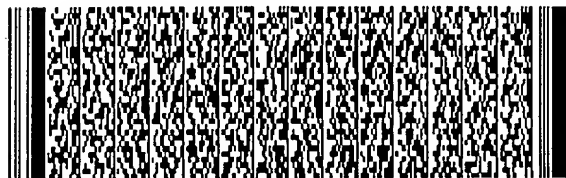




第 19/20 頁



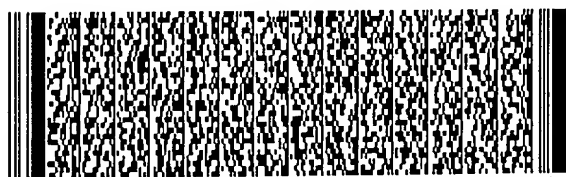
第 17/20 頁



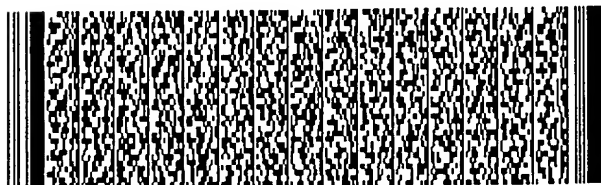
第 15/20 頁



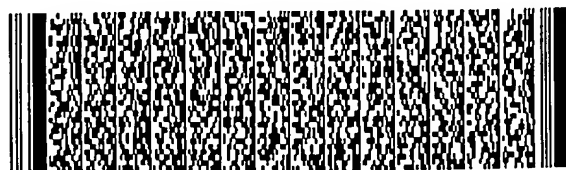
第 14/20 頁



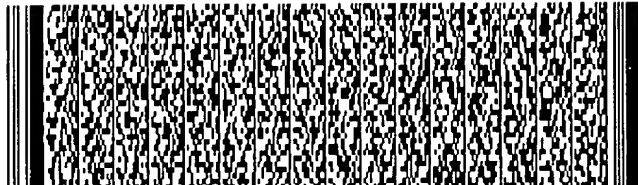
第 13/20 頁



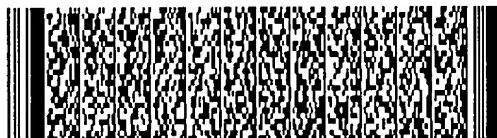
第 12/20 頁



第 11/20 頁



第 20/20 頁



第 18/20 頁



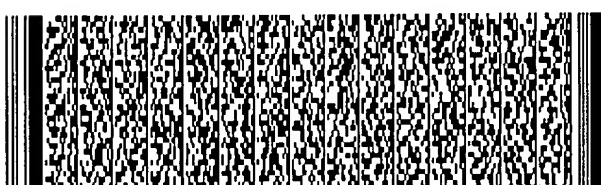
第 16/20 頁



第 14/20 頁



第 13/20 頁



第 12/20 頁



第 11/20 頁